

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004年7月1日 (01.07.2004)

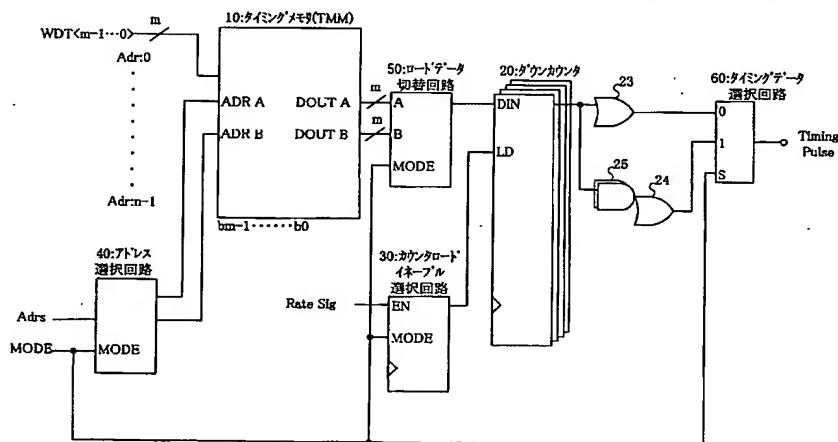
PCT

(10) 国際公開番号
WO 2004/055532 A1

- (51) 国際特許分類: G01R 31/28 (72) 発明者; および
(21) 国際出願番号: PCT/JP2003/015920 (75) 発明者/出願人 (米国についてののみ): 千葉 宜明
(22) 国際出願日: 2003年12月12日 (12.12.2003) (CHIBA, Noriaki) [JP/JP]; 〒179-0071 東京都練馬区
(25) 国際出願の言語: 日本語 (74) 代理人: 渡辺 喜平 (WATANABE, Kihei); 〒101-0041 東京
(26) 国際公開の言語: 日本語 都千代田区神田須田町一丁目2番6号 芝信神田ビル3階 Tokyo (JP).
(30) 優先権データ: (81) 指定国 (国内): DE, JP, US.
特願 2002-362392
2002年12月13日 (13.12.2002) JP 添付公開書類:
— 国際調査報告書
(71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンテスト (ADVANTEST CORPORATION)
[JP/JP]; 〒179-0071 東京都練馬区旭町1丁目3番1号 Tokyo (JP).
2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: TIMING GENERATION CIRCUIT AND SEMICONDUCTOR TEST DEVICE HAVING THE TIMING GENERATION CIRCUIT

(54) 発明の名称: タイミング発生回路とこのタイミング発生回路を備えた半導体試験装置



A. タイミング発生回路 (タイミングエッジ生成部)

- 10...TIMING MEMORY (TMM)
40...ADDRESS SELECTION CIRCUIT
50...LOAD DATA SWITCHING CIRCUIT
20...DOWN COUNTER
30...COUNTER LOAD ENABLE SELECTION CIRCUIT
60...TIMING DATA SELECTION CIRCUIT
A...TIMING GENERATION CIRCUIT (TIMING EDGE GENERATION SECTION)

(57) Abstract: A timing generation circuit can increase the maximum delay amount without changing the configuration of the timing memory. The timing generation circuit includes: a timing memory (TMM) (10) containing predetermined timing data; a plurality of down counters (20) for loading timing data output from the TMM and outputting a pulse signal at the timing indicated by the timing data; an address selection circuit (40) for specifying one or two TMM addresses by switching and outputting corresponding one or two timing data; a load data switching circuit (50) used when two timing data are output from the TMM, for loading the two timing data to the two down counters cascaded and outputting one timing pulse signal; and a timing data selection circuit (60) for selecting one of the pulse signals based on the one or two timing data output from the down counters.

[続葉有]



(57) 要約: タイミングメモリの構成を変えずに、最大遅延量を大きくできるタイミング発生回路である。所定のタイミングデータを格納したタイミングメモリ (TMM) 10と、TMMから出力されるタイミングデータをロードし、タイミングデータが示すタイミングでパルス信号を出力する複数のダウンカウンタ20と、切替によりTMMのアドレスを1個又は2個指定し、該当する1個又は2個のタイミングデータを出力させるアドレス選択回路40と、TMMから2個のタイミングデータが出力されると、当該2個のタイミングデータをカスケードした2個のダウンカウンタにロードして一のタイミングのパルス信号を出力させるロードデータ切替回路50と、ダウンカウンタから出力される1個又は2個のタイミングデータに基づくパルス信号のいずれかを選択するタイミングデータ選択回路60を備えている。

明 細 書

タイミング発生回路とこのタイミング発生回路を備えた半導体試験装置

5 技術分野

本発明は、半導体試験装置において被試験デバイスに印加する信号波形のタイミング生成を行うタイミング発生回路（Timing Generator：TG）に関し、特に、所定のタイミングデータを格納したタイミングメモリの構成を変えることなく、タイミングエッジの最大遅延量を大きくしたり、タイミングセット
10 （Timing Set：TS）数を増加させることができ、一種類のハードウェア構成により複数種類のTGを実現し、ローコストなデバイス測定が可能となる半導体試験装置に好適なタイミング発生回路に関する。

背景技術

15 一般に、半導体試験装置は、試験対象となる半導体デバイス（Device Under Test：DUT）へ試験パターン信号を入力し、DUTから出力される応答信号を期待値パターン信号と比較してその一致、不一致を判定することによりDUTを試験している。そして、このような半導体試験装置では、通常、DUTに対して所定のタイミングで試験信号を印加するために、DUTに印加する波形のタイミ
20 ング生成を行うタイミング発生回路（TG）が備えられている。

第10図は、一般的な半導体メモリ試験装置の基本構成を示すブロック図である。

同図に示すように、メモリ試験装置は、タイミング発生回路（タイミング発生器：TG）1、パターン発生器2、波形整形器3、論理比較器4、不良解析メモリ部5を備え、被試験メモリMの試験装置を構成している。
25

タイミング発生回路1は、半導体メモリ試験装置における基準クロックを発生する。

パターン発生器2は、タイミング発生回路1で発生される基準クロックに従い、試験対象となる被試験メモリMに与えられるアドレス信号、試験パターンデータ、
30 制御信号と論理比較器4に与えられる期待値データを発生する。

パターン発生器 2 から出力されたアドレス信号、試験パターンデータ、制御信号は、波形整形器 3 に入力されて波形整形され、被試験メモリ M に印加される。

被試験メモリ M では、与えられた制御信号に基づきデータ信号の書込み又は読出しの動作が行われ、印加されたアドレスからデータが読み出されるとともに、

- 5 印加された書込みデータが当該アドレスに書き込まれる。被試験メモリ M から読み出されたデータは、応答信号として出力され、論理比較器 4 に与えられる。

論理比較器 4 は、被試験メモリ M からの応答信号と、パターン発生器 2 で発生された期待値データが入力されると、両データを比較して、その一致、不一致を検出する。これによって、試験メモリ 110 の良否判定が行われる。

- 10 不良解析メモリ部 5 は、被試験メモリ M からの応答信号と期待値データが不一致の場合にフェイルデータが入力される。フェイルデータは、パターン発生器から出力されるアドレス信号に対応するメモリセルに格納される。不良解析メモリ部 5 に格納されたフェイルデータは、別途読み出されて所定の不良解析に用いられる。

15

第 11 図は、以上のような半導体試験装置に備えられる従来のタイミング発生回路の詳細を示すブロック図である。

- 同図に示すように、従来のタイミング発生回路（タイミングエッジ生成部）は、所定のタイミングデータ（例えば基準クロックの遅延データ）を格納したタイミ
20 ングメモリ（TMM）110 と、タイミングデータが示す所定のタイミングでパルス信号を出力するためのダウンカウンタ 120 と、ダウンカウンタ 120 にロード信号を入力するカウンタロードイネーブル選択回路 130 を備えている。

- このような従来のタイミング発生回路では、タイミングメモリ 110 に格納されたタイミングデータがダウンカウンタ 120 にセットされるとともに、カウン
25 タロードイネーブル選択回路 130 のロード信号によりセットされたタイミングデータがロードされることで、タイミングデータがダウンカウンタ 120 において CLK 信号に同期して 1 ずつ減数される。

- そして、ダウンカウントされたタイミングデータが“0”になると、ダウン
30 カウンタ 120 からパルス信号（“ALL ゼロ”信号）が出力される。このパルス信号が、図示しないパターン発生器等にタイミング信号として入力される。

具体的に、このようなタイミング発生回路を半導体試験装置で実際に動作させる場合には、TMM 10の列方向アドレス（第11図に示すAdr: 0 ~ Adr: n-1）のいずれか1個を指定することにより、当該アドレスに格納されている行方向ビット幅（第11図に示す例ではb0 ~ bm-1のmビット）のデータをダウンカウンタ20にセットし、カウンタロードイネーブル選択回路130のロード信号によってタイミングデータをロードし、ダウンカウントさせることができる。このようにして、従来のタイミング発生回路では、TMMに所望のタイミングを示すタイミングデータを格納することで、例えばCLK信号周期の任意の整数倍の遅延時間で示されるタイミング信号が発生できるようになっていた。

10 なお、タイミング発生回路は、通常、複数のダウンカウンタが備えられるようになっており、例えば第12図に示すように、4相のダウンカウンタ120a ~ 120dが備えられるようになっている。これにより、一のダウンカウンタにおいてあるタイミング信号のダウンカウントが行われている間に、次のタイミング信号を他のダウンカウンタにロードしてダウンカウントできるようになっている。

15

以上のように、予め所定のタイミングデータを格納したTMMを備える従来のタイミング発生回路では、メモリ（TMM）の行方向ビット幅のタイミングデータを、メモリの列方向アドレス分のタイミングセット数だけ設定できるようになっている。

20 しかし、このようにTMMのビット幅（行方向）によって遅延量が決定される（例えば20ビット幅で16 μ s以下等）従来のタイミング発生回路では、それ以上に長い遅延量に対応させるためには、TMMのメモリ構成を変更し、行方向のビット幅を追加するとともに、次段のダウンカウンタの1相当りのビット数を追加する必要があった。このため、遅延量を長くしようとすると、タイミングエッジ生成部の回路規模が莫大に増加してしまい、タイミング発生回路のゲートアレイコストが大きくなるという問題が発生した。

25

同様に、TMMに設定されるタイミングセット（TS）数についても、列方向のアドレス数に固定されており、メモリ構成を変えない限りタイミングセット数を増加させることができないという問題もあった。

30 本発明は、このような従来の技術が有する問題を解決するために提案されたも

- のであり、タイミングデータを格納したタイミングメモリの構成を変えることなく、最大遅延量を大きくしたり、タイミングセット数を増加させることができ、一種類のハードウェア構成により複数種類のTGを実現し、ローコストなデバイス測定が可能となるタイミング発生回路及びこのタイミング発生回路を備える半
- 5 導体試験装置の提供を目的とする。

発明の開示

- 上記目的を達成するため、本発明のタイミング発生回路は、所定のタイミングデータを格納したタイミングメモリと、前記タイミングメモリから出力されるタ
- 10 イミングデータをロードし、当該タイミングデータが示すタイミングでパルス信号を出力するカウンタと、を備えたタイミング発生回路であって、前記タイミングメモリのメモリ領域を分割し、分割されたメモリ領域から出力される一又は複
- 数のタイミングデータを選択し、選択された一又は複数のタイミングデータを前記カウンタにロードすることにより当該一又は複数のタイミングデータで示され
- 15 る一のタイミングのパルス信号を出力させるロードデータ切替手段を備える構成としてある。

- このような構成からなる本発明のタイミング発生回路によれば、ロードデータ切替手段により、所定のタイミングデータを格納したタイミングメモリのメモリ領域をアドレス方向（メモリ列方向）やデータのビット幅方向（メモリ行方向）
- 20 に分割することができる。そして、分割されたタイミングデータを選択してカウンタにロードすることにより、分割された一又は複数のタイミングデータで示される一のタイミングのパルス信号を出力させることができる。

- これにより、タイミングメモリの回路構成を変えることなく、最大遅延量を大きくしたり、タイミングセット数を増加させることが可能となり、各ICテスト
- 25 （半導体試験装置）に最適な機能を備えたタイミング発生回路を低コストで容易に得ることができ、汎用性、拡張性に優れたタイミング発生回路を実現することができる。

- そして、本発明のタイミング発生回路は、前記ロードデータ切替手段が、切替
- 30 により、前記タイミングメモリのメモリ領域をアドレス方向で分割し、分割され

たメモリ領域から出力される複数の各タイミングデータをデータビット幅方向につなげて一のタイミングデータとして前記カウンタにロードする構成としてある。

具体的には、前記ロードデータ切替手段が、切替により前記タイミングメモリの一又は複数のアドレスを指定し、該当する一又は複数の各アドレスに格納された一又は複数のタイミングデータを出力させるアドレス選択回路と、切替により、前記タイミングメモリから一のタイミングデータが出力されるときには当該一のタイミングデータをそのままのカウンタにロードするとともに、前記タイミングメモリから複数のタイミングデータが出力されるときには当該複数のタイミングデータをカスケードした複数のカウンタにロードすることにより、前記一又は
5 複数のタイミングデータで示される一のタイミングのパルス信号を出力させるロードデータ切替回路と、を備える構成としてある。

さらに、前記アドレス選択回路が、切替により、指定された1個のアドレスを分割することによりN個（Nは自然数）のアドレスを指定し、前記タイミングメモリからN個のタイミングデータを出力させ、前記ロード切替回路が、切替により、前記N個のタイミングデータをカスケードしたN個のカウンタにロードすることにより、N個のタイミングデータで示される1個のタイミングのパルス信号
15 を出力させる構成としてある。

このような構成からなる本発明のタイミング発生回路によれば、タイミングメモリのメモリ領域をアドレス方向に分割することができ、一のアドレスを指定して複数のタイミングデータを出力させることができる。そして、この複数のタイミングデータをカウンタにカスケードにロードすることにより、例えばビット幅が2倍のタイミングデータが示すタイミングでパルス信号を出力させることができる。
20

これにより、タイミングメモリの回路構成を変えずに、最大遅延量を大きくすることができ、各ICテストに最適な最大遅延量を低コストで容易に得ることができる。
25

一方、本発明のタイミング発生回路は、前記ロードデータ切替手段が、切替により、前記タイミングメモリのメモリ領域をデータビット幅方向で分割し、分割されたメモリ領域から出力される各タイミングデータのうちのタイミングデー
30

タを選択して前記カウンタにロードする構成とすることができる。

具体的には、前記ロードデータ切替手段が、指定された前記タイミングメモリの一のアドレスに格納されたタイミングデータを複数のタイミングデータに分割し、切替により、分割された複数のタイミングデータを出力させ、又は分割された複数のタイミングデータのうちのタイミングデータを出力させるデータ分割回路と、切替により、前記タイミングメモリから分割された複数のタイミングデータが出力されるときには当該複数のタイミングデータをカスケードした複数のカウンタにロードするとともに、前記タイミングメモリから分割された一のタイミングデータが出力されるときには当該一のタイミングデータをそのまま一のカウンタにロードすることにより、前記分割された複数又は一のタイミングデータで示される一のタイミングのパルス信号を出力させるロードデータ切替回路と、を備える構成とすることができる。

また特に、前記データ分割回路が、指定された1個のアドレスに格納される1個のタイミングデータをN個に分割して入力するとともに、当該N個に分割されたタイミングデータの一部又は全部を指定して出力させ、前記ロード切替回路が、前記N個に分割された各タイミングデータを対応するN個のカウンタにロードすることにより、一アドレスにつきN個のタイミングデータで示されるタイミングのパルス信号を出力させる構成とすることができる。

このような構成からなる本発明のタイミング発生回路によれば、タイミングメモリのメモリ領域をデータのビット幅方向に分割することができ、一のタイミングデータから複数のタイミングデータを出力させることができる。そして、この複数のタイミングデータの中から一のタイミングデータを選択することにより、例えばアドレス深さが2倍のデータセット数のタイミングデータを出力させることができる。

これにより、タイミングメモリの回路構成を変えることなく、タイミングセット数を増加させることができ、各ICテストに最適なタイミングセット数を備えたタイミング発生回路を低コストで容易に得ることができる。

そして、本発明に係るタイミング発生回路を備えた半導体試験装置は、試験対象となる被試験デバイスに所定の試験パターン信号を入力し、この被試験デバイ

スから出力される応答出力信号を所定の期待値パターン信号と比較することにより、当該被試験デバイスの良否を判定する半導体試験装置であって、前記試験パターン信号の基準クロック信号を所定時間遅延させた遅延クロック信号として出力するタイミング発生回路を備え、このタイミング発生回路が本発明の上述した
5 いずれかのタイミング発生回路によって構成してある。

このような構成からなる本発明のタイミング発生回路を備えた半導体試験装置によれば、タイミングメモリに格納されたタイミングデータは、本発明に係るタイミング発生回路によって、所定のタイミングデータを格納したタイミングメモリのメモリ領域がアドレス方向（メモリ列方向）やデータのビット幅方向（メモリ行方向）に分割される。そして、分割されたタイミングデータが組み合わせられて所定の遅延量やタイミングセット数のタイミングデータとして取得され、所望のタイミングを示すパルス信号として出力されることになる。
10

これにより、タイミングメモリの回路構成を変えることなく、最大遅延量を大きくしたり、タイミングセット数を増加させることができ、試験対象となる各 ICに最適なタイミングデータを低コストで容易に得ることが可能となる、汎用性、拡張性に優れた半導体試験装置を実現することができる。
15

図面の簡単な説明

第1図は、本発明の第一実施形態に係るタイミング発生回路のタイミングエッジ生成部を示す回路ブロック図である。
20

第2図は、第1図に示すタイミングエッジ生成部のタイミングメモリにおけるタイミングデータ長の切替えを概念的に示す説明図である。

第3図は、第1図に示すタイミングエッジ生成部のダウンカウンタの詳細を示す回路ブロック図である。

第4図は、本発明の第一実施形態に係るタイミング発生回路におけるモード切替えによって得られるタイミングデータの詳細を示す表である。
25

第5図は、本発明の第二実施形態に係るタイミング発生回路のタイミングメモリにおけるタイミングセット数の切替えを概念的に示す説明図である。

第6図は、本発明の第二実施形態に係るタイミング発生回路のタイミングメモリの内部構成を示す回路ブロック図である。
30

第7図は、本発明の第二実施形態に係るタイミング発生回路のダウンカウンタの詳細を示す回路ブロック図である。

第8図は、本発明の第二実施形態に係るタイミング発生回路の変更例を概念的に示す説明図であり、タイミングメモリのメモリ領域をデータビット幅方向に不均等に分割した場合である。

第9図は、本発明の第二実施形態に係るタイミング発生回路の変更例を概念的に示す説明図であり、タイミングメモリのメモリ領域をデータビット幅方向に均等に4分割した場合である。

第10図は、一般的な半導体メモリ試験装置の基本構成を示すブロック図である。

第11図は、従来のタイミング発生回路の詳細（タイミングエッジ生成部）を示す回路ブロック図である。

第12図は、第11図に示すタイミングエッジ生成部のダウンカウンタの詳細を示す回路ブロック図である。

15

発明を実施するための最良の形態

以下、図面を参照して、本発明に係るタイミング発生回路の好ましい実施形態について説明する。

[第一実施形態]

まず、本発明のタイミング発生回路の第一実施形態について、第1図～第4図を参照して説明する。

第1図は、本発明の第一実施形態に係るタイミング発生回路のタイミングエッジ生成部を示す回路ブロック図である。

第2図は、第1図に示すタイミングエッジ生成部のタイミングメモリにおけるタイミングデータ長の切替えを概念的に示す説明図である。

第3図は、第1図に示すタイミングエッジ生成部のダウンカウンタの詳細を示す回路ブロック図である。

これらの図に示す本実施形態のタイミング発生回路（タイミングエッジ生成部）は、第10図に示したような半導体試験装置に備えられるようになっている。

半導体試験装置は、試験対象となる半導体デバイス（DUT）へ試験パターン

信号を入力し、DUTから出力される応答出力信号を所定の期待値パターン信号と比較してその一致、不一致を判定することでDUTの試験を行う装置である。

そして、このような半導体試験装置には、DUTに対して所定のタイミングで試験信号を印加するために、DUTに印加する波形のタイミング生成を行うタイミング発生回路(TG)が備えられ(第10図参照)、このTGとして、本実施形態に係るTG(タイミング発生回路)が備えられるようになっている。

第1図に示すように、本実施形態のTGは、上述した従来のTGと同様、所定のタイミングデータ(例えば試験信号の基準クロックの遅延データ等)を格納したタイミングメモリ(TMM)10と、TMM10から出力されるタイミングデータをロードし、タイミングデータが示すタイミングでパルス信号を出力する複数のダウンカウンタ20と、ダウンカウンタ20にロード信号を入力するカウンタロードイネーブル選択回路30を備えている。

TMM10は、第2図(a)に示すように、例えば総ビット数 $m \times n$ の複数ビット出力(m ビット)メモリからなり、 m ビット($b_{m-1} \sim b_0$)のタイミングデータが各アドレス(Adr: $0 \sim \text{Adr}: n-1$)に格納できるようになっている。

そして、このTMM10のメモリ領域が後述するロードデータ切替手段により分割できるようになっており、第2図(b)に示すように、タイミングデータをデータビット幅方向につなげて、一のタイミングデータとしてより遅延量の大きいデータを次段のダウンカウンタ20にロードできるようになっている。

ダウンカウンタ20は、TMM10から出力されるタイミングデータがセットされる m ビットダウンカウンタからなり、カウンタロードイネーブル選択回路30のロード信号によってセットされたタイミングデータがロードされることにより、タイミングデータが示す値をCLK信号に同期して1ずつ減数(ダウンカウント)する。

そして、ダウンカウントされたタイミングデータが“0”になると、ダウンカウンタ20はパルス信号(“A11ゼロ”信号)を出力する。このパルス信号が図示しないパターン発生器等にタイミング信号として入力されて、CLK信号周期の任意の整数倍の遅延時間で示されるタイミング信号が発生されることになる。

ここで、本実施形態のTGでは、上述した従来のTGと同様、ダウンカウンタ20が複数備えられるようになっており、第1図に示す例では、4相のダウンカウンタ20a～20dが備えられるようになっている（第3図参照）。そして、4相のダウンカウンタ20a～20dの出力側には4入力のORゲート23が備えられ、4相のダウンカウンタ20a～20dからのパルス信号が順次取り込まれるようになっている。

このように複数のダウンカウンタ20a～20nを備えることで、一のダウンカウンタにおいてあるタイミング信号のダウンカウントが行われている間に、次のタイミング信号を他のダウンカウンタにロードしてダウンカウントすることができる。

さらに、本実施形態では、複数（4相）のダウンカウンタ20a～20dは、ロードデータ切替回路50（後述）を介して、モード信号の切替により、4個のダウンカウンタ20a～20dを2個ずつカスケード（20aと20b、20cと20d）できるようになっている。

具体的には、第3図に示すように、1相目のダウンカウンタ20aのCOは、モード信号の切替により2相目のダウンカウンタ20bのCIに入力されて両カウンタ20a、20bはカスケードされる。同様に、3相目のダウンカウンタ20cのCOは、モード信号の切替により4相目のダウンカウンタ20dのCIに入力されて、両カウンタ20c、20dはカスケードされる。

このようにカスケードされた2個のダウンカウンタ20a、20b又は20c、20dにTMM10から2個のタイミングデータがロードされることにより、2個のタイミングデータで示される一のタイミングのパルス信号を出力できるようになっている。

カスケードされる2個のダウンカウンタ20a、20b（又は20c、20d）の出力側には、第3図に示すように、ANDゲート25a（又は25b）が備えられ、2個のタイミングデータで示される一のタイミングのパルス信号が出力されるようになる。また、第3図のように、カスケードされる二組のダウンカウンタ20a、20b及び20c、20dの出力側には2入力のORゲート24が備えられ、二組のダウンカウンタ20a、20b及び20c、20dからのパルス信号が順次取り込まれるようになっている。

これにより、本実施形態のダウンカウンタ 20 では、2 個のタイミングデータをデータビット幅方向につなげて、より大きい遅延量を示すパルス信号を出力することができる。

そして、本実施形態では、TMM 10 のメモリ領域を分割し、分割されたメモリ領域から出力される一又は複数のタイミングデータを選択し、選択された一又は複数のタイミングデータを複数のダウンカウンタ 20 にロードすることにより、ロードされた一又は複数のタイミングデータで示される一のタイミングでパルス信号を出力させるロードデータ切替手段を備えている。

ロードデータ切替手段は、モード信号の切替（“H” 又は “L”）により、TMM 10 のメモリ領域をアドレス方向で分割し、分割されたメモリ領域から出力される複数の各タイミングデータをデータビット幅方向につなげて（第 2 図参照）、一のタイミングデータとしてダウンカウンタ 20 にロードする手段である。

具体的には、本実施形態のロードデータ切替手段は、第 1 図及び第 3 図に示すように、アドレス選択回路 40 と、ロードデータ切替回路 50、及びタイミングデータ選択回路 60 を備えて構成されている。

アドレス選択回路 40 は、切替により、TMM 10 の一又は複数のアドレスを指定し、該当する一又は複数の各アドレスに格納された一又は複数のタイミングデータを出力させるようになっている。

本実施形態では、アドレス選択回路 40 は、第 1 図に示すように、モード信号の切替により、指定された 1 個のアドレスを分割することにより N 個（N は自然数）のアドレスを指定し、タイミングメモリから N 個のタイミングデータを出力させるようになっている。

より具体的には、アドレス選択回路 40 は、モード信号の切替により、TMM 10 のアドレスを 1 個又は 2 個指定し、該当するアドレスから 1 個又は 2 個のタイミングデータを出力させるようになっている。

本実施形態では、モード信号 “H”（“1”）を入力することにより有効アドレスを 1/2 にし、2 個のアドレスを同時にイネーブルにすることで、1 個のアドレスを 2 個のアドレスに分割するようになっている。

このように有効アドレスを 1/2 にして 1 個のアドレスを 2 個のアドレスに分割するには、アドレスの MSB を “H” 又は “L” に切り替えるセレクタを設

けることで容易に実現することができる。

なお、アドレス選択回路40は、モード信号“L”（“0”）を入力したときには、同一のアドレスが2個指定されることになる。

ロードデータ切替回路50は、切替により、TMM10から一のタイミングデータが出力されるときには当該一のタイミングデータをそのまま一のダウンカウンタ20にロードするとともに、TMM10から複数のタイミングデータが出力されるときには当該複数のタイミングデータをカスケードした複数のダウンカウンタ20にロードすることにより、一又は複数のタイミングデータで示される一のタイミングのパルス信号を出力させるようになっている。

10 具体的には、ロードデータ切替回路50は、アドレス選択回路40に入力されるのと同じモード信号の切替により、N個（2個）のタイミングデータを、カスケードしたN個（2個）のダウンカウンタ20a～20nにロードして、N個（2個）のタイミングデータで示される1個のタイミングのパルス信号を出力させるようになっている。

15 本実施形態では、第3図に示すように、ロードデータ切替回路50はモード信号で切り替えられる3個のセクタ50a、50b、50cからなっている。

セクタ50a～50cは、TMM10から2個のタイミングデータが出力されるときには、モード信号“H”（“1”）が入力されて、次段の4個のダウンカウンタ20a～20dを2個ずつカスケードに接続し（20aと20b、20bと20d）、当該2個のタイミングデータを、カスケードされた各ダウンカウンタ20a及び20b、ダウンカウンタ20c及び20dにロードして、一のタイミングのパルス信号を出力させる。

一方、TMM10から1個のタイミングデータが出力される場合には、モード信号“L”（“0”）が入力されて、1つ目のセクタ50aを介して、当該
25 1個のタイミングデータが4個のダウンカウンタ20a～20dに順次所定のタイミングでセットされるようになる。この場合には、ダウンカウンタ20a～20dは、上述した従来のTGの場合と同様に動作することになる（第11図、第12図参照）。

タイミングデータ選択回路60は、ロードデータ切替回路50と、ダウンカウンタ20から出力される1個又は2個のタイミングデータに基づくパルス信号の
30

いずれかを選択するようになっている。

具体的には、タイミングデータ選択回路60は、アドレス選択回路40、ロードデータ切替回路50にされるのと同じモード信号によって切替可能なセクタからなり、モード信号“L”（“0”）のときには、4相の各ダウンカウンタ20a~20dから順次出力されるパルス信号を選択、出力する。モード信号“H”（“1”）のときには、カスケードされた2個のダウンカウンタ20a, 20b及び20c, 20dから出力されるパルス信号を選択、出力する。

次に、以上のような構成からなる本実施形態に係るタイミング発生回路の動作について、図面を参照しつつ説明する。

本実施形態では、TMM10のメモリ領域をそのまま使用してメモリの通常のビット幅のタイミングデータを格納、出力させる場合（標準遅延モード）はモード信号を“L”に切り替え、TMM10のメモリ領域を分割して2個のデータをつなげてより遅延量の大きいデータを出力させる場合（長遅延モード）はモード信号を“H”に切り替える。

モード切替は半導体試験装置を使用するユーザ等が、試験する半導体等に応じて任意に選択し、予め切り替えることができる。

[標準遅延モード]

まず、TMM10のメモリ領域をそのまま使用する標準遅延モードの場合は、モード信号を“L”に設定する。なお、この場合には、本実施形態のTGは上述した従来のTGと同様に使用できることになる（第11図、第12図参照）。

アドレス選択回路40は、モード信号“L”が入ると有効アドレスを1/2にすることなく、TMM10の1個（同一）のアドレスをイネーブルするので、指定した1個のアドレス（第1図に示すADR A又はADR B）に対して所望のタイミングデータ（第1図に示すmビットのWD T）を格納し出力させることができる。

TMM10からはmビットのデータ（第1図に示すDOUT A又はDOUT B）が出力され、当該mビットのデータが次段のロードデータ切替回路50及びダウンカウンタ20a~20dに入力される。

具体的には、第3図に示すように、タイミングデータ（第3図に示すD<m-

1. . . 0>) は、そのまま1相目のダウンカウンタ20aと3相目のダウンカウンタ20cにセットされるとともに、同一のデータ(第3図に示すD<m-1. . . 0>)がロードデータ切替回路50のセクタ50aを介して2相目のダウンカウンタ20bと4相目のダウンカウンタ20dにセットされる。

- 5 各ダウンカウンタ20a~20dにセットされたタイミングデータは、カウンタロードイネーブル選択回路30のロード信号によりロードされることで、各ダウンカウンタ20a~20dでCLK信号に同期して1ずつ減数される。

そして、ダウンカウントされたタイミングデータが“0”になると、各ダウンカウンタ20a~20dからパルス信号(“ALLゼロ”信号)が出力され、
10 ORゲート23を介してタイミングデータ選択回路60で選択される。このパルス信号が、図示しないパターン発生器等にタイミング信号として入力される。

このように標準遅延モードでは、第4図の表に示すように、TMM10のメモリ領域(第2図に示すメモリではn×m)がそのまま使用されてデータが格納、出力されることになるので、使用できるタイミングデータはmビット幅のデータ
15 がnセットとなる。

また、ダウンカウンタ20a~20dは、mビットダウンカウンタが4相使用され、最大のタイミング遅延は[SysCLK(2^m-1), m=1. . . m]となる。

[長遅延モード]

- 20 次に、TMM10のメモリ領域を分割してより遅延量の大きいデータを使用する長遅延モードの場合は、モード信号を“H”に設定する。

アドレス選択回路40は、モード信号“H”が入ると有効アドレスを1/2にして、TMM10の2個のアドレスをイネーブルする。これにより、指定した2個のアドレス(第1図に示すADR A及びADR B)に対して所望のタイミング
25 データ(第1図に示すmビットのWD T)を格納し出力させることができる。

これにより、TMM10からは2個のアドレスからそれぞれタイミングデータが出力され(第1図に示すDOUT A及びDOUT B)、2個のmビットのデータが次段のロードデータ切替回路50及びダウンカウンタ20a~20dに入力される。

- 30 具体的には、第3図に示すように、2個のmビットのタイミングデータのうち、

一方の m ビットのデータ（第3図に示す $D<m-1 \dots 0>$ ）がそのまま1相目のダウンカウンタ20aと3相目のダウンカウンタ20cにセットされる。

2個の m ビットのタイミングデータのうち、もう一方の m ビットのデータ（第3図に示す $D<2m-1 \dots m>$ ）は、ロードデータ切替回路50のセレクトア50aに入力され、セレクトア50aを介して2相目のダウンカウンタ20bと4相目のダウンカウンタ20dにセットされる。

そして、各ダウンカウンタ20a～20dは、第3図に示すように、モード信号“H”が入ること、1相目のダウンカウンタ20aのCOが2相目のダウンカウンタ20bのCIに入力され、同様に3相目のダウンカウンタ20cのCOが4相目のダウンカウンタ20dのCIに入力され、ダウンカウンタ20a、20b及びダウンカウンタ20c、20dがカスケードされる。

これにより、2個のタイミングデータがデータのビット幅方向につながることになり、タイミングデータは、ビット幅が標準遅延モードのビット幅（ m ビット）の2倍（ $2m$ ビット）となる。

すなわち、各ダウンカウンタ20a～20dにセットされたタイミングデータがカウンタロードイネーブル選択回路30のロード信号によりロードされることで、2個のタイミングデータがカスケードされた2個のダウンカウンタ20a、20b（又は20c、20d）でダウンカウントされる。これにより、標準遅延モードの2倍のビット幅で示される長遅延データをカウントすることができる。

その後は、標準遅延モードの場合と同様、ダウンカウントされたタイミングデータが“0”になると、各ダウンカウンタ20a、20b及び20c、20dからパルス信号（“A11ゼロ”信号）が出力され、これがANDゲート25a、25b及びORゲート24を介してタイミングデータ選択回路60で選択される。このパルス信号が、図示しないパターン発生器等にタイミング信号として入力される。

このような長遅延モードでは、第4図の表に示すように、TMM10のメモリ領域を組み合わせた状態でデータが格納、出力されることになるので（ $n/2 \times 2m$ ）、使用できるタイミングデータは $2m$ ビット幅のデータが $n/2$ セットとなる。

また、ダウンカウンタ20a～20dは、2個のダウンカウンタ20a、20

b (又は $2^0 c$, $2^0 d$) がカスケードされるので、 2^m ビットダウンカウンタが2相使用されることになり、最大のタイミング遅延は $[\text{SysCLK} (2^M - 1)]$, $1 \leq M \leq 2^m$ となる。

- 5 以上のようにして本実施形態のタイミング発生回路では、総ビット数 $m \times n$ の複数ビット (m ビット) 出力メモリ (TMM10) へのアクセスとして、複数のアドレスを一つのアドレスでアクセスし、メモリセル数の増減を必要とすることなく、切替可能なフレキシブルな構成をモード信号という最小限の制御信号 (モード信号は少なくとも一本) とセレクト回路で切替可能とすることができ、
- 10 一つのメモリ構成 ($m \times n$) で実質的に複数のメモリ構成を実現することができる。

これにより、従来のICテスト (半導体試験装置) と同様のメモリ構成のTS数、タイミングエッジ最大遅延のTGを使用して、従来と同様のデバイスを試験できるだけでなく、従来のTGでは不可能であったローコストなデバイス測定も

15 可能となる。

すなわち、本実施形態のTGによれば、複数種類のTS数、タイミング最大遅延量を有する、特性の異なるTGを一体的に共存させて、従来と同様の回路規模で複数種のTG回路を実現することができる。

- また、このように従来のTG回路をそのまま使用して回路規模の増加を大幅に
- 20 抑制しながら容易に異種TGを混在させることができる本実施形態のTGでは、あらゆるICテストで容易に実現が可能となる。このため、顧客毎に機能の最適化の実現をローコストで実現できるため、特にローエンド向けICテストにおいて非常に有益なTGとして提供することができる。

- なお、本実施形態では、従来TGと比較して (第11図参照)、システムバスの
- 25 データビット幅を m ビットから 2^m ビットにする必要があるが、これはデータビットが許容される範囲内で実現可能であり、回路規模の増大とはならない。また、回路構成によりシステムバスのデータビット幅を m ビット以上にすることが困難な場合には、TMM10へのタイミングデータの書き込みを、システムバスインターフェイスが二度書き込みにいけば良く、本実施形態のTGを実施するこ
- 30 とができる。

以上説明したように、本実施形態に係るタイミング発生回路によれば、TMM 10のメモリ領域をアドレス方向に分割して、一のアドレスを指定して複数のタイミングデータを出力させることができる。

そして、この複数のタイミングデータをダウンカウンタ20にカスケードにロードすることにより、例えばビット幅が2倍のタイミングデータで示される長遅延のタイミングでパルス信号を出力させることができる。

これにより、TMM 10の回路規模を増大させることなく、最大遅延量を大きくすることができ、ICテストに最適な最大遅延量を低コストで容易に得ることができる。

10

[第二実施形態]

次に、本発明のタイミング発生回路の第二実施形態について、第5図～第7図を参照して説明する。

第5図は、本発明の第二実施形態に係るタイミング発生回路のタイミングメモリにおけるタイミングセット数の切替えを概念的に示す説明図である。

15

第6図は、本実施形態に係るタイミング発生回路のタイミングメモリの内部構成を示す回路ブロック図である。

第7図は、本実施形態に係るタイミング発生回路のダウンカウンタの詳細を示す回路ブロック図である。

これらの図に示す本実施形態のTGは、上述した第一実施形態の変更実施形態であり、第一実施形態のTGがTMM 10のメモリ領域をアドレス方向で分割して複数のタイミングデータをデータビット幅方向につなげていたのに対して（第2図参照）、本実施形態では、TMM 10のメモリ領域をデータビット幅方向で分割することにより、使用できるタイミングデータのTS数を増加できるようにしたものである。

25

すなわち、本実施形態のTGは、TMM 10のメモリ領域の分割方向（アドレス方向かデータビット幅方向か）を除いては、基本的に第一実施形態で示したTG及び半導体試験装置と同様の構成とすることができる。従って、同様の構成部分については適宜同一符号を付して詳細な説明は省略する。

第5図に示すように、本実施形態では、ロードデータ切替手段が、切替により、

30

TMM10のメモリ領域をデータビット幅方向で分割し、分割されたメモリ領域から出力される各タイミングデータのうちのタイミングデータを選択してダウンカウンタ20にロードする構成になっており、これによって、TMM10のメモリ構成を変えることなく、使用できるタイミングデータのセット数(TS数)

5 が増加できるようになっている。

具体的には、本実施形態のロードデータ切替手段は、第6図に示すデータ分割回路70と、第7図に示すロードデータ切替回路50、及びタイミングデータ選択回路60(図示省略)を備えて構成されている。

本実施形態のTMM10は、第6図に示すように、メモリ領域がデータビット
10 幅方向で2分割され、MSB側のメモリ10aとLSB側のメモリ10bとで構成されている。そして、この2分割されたTMM10の両メモリ10a, 10bにデータ分割回路70を介してデータが書き込まれ、1個又は2個のタイミングデータが読み出されるようになっている。

データ分割回路70は、指定されたTMM10の一のアドレスに格納されたタ
15 イミングデータを複数のタイミングデータに分割し、切替により、分割された複数のタイミングデータを出力させ、又は分割された複数のタイミングデータのうちのタイミングデータを出力させるようになっている。

本実施形態では、データ分割回路70は、指定された1個のアドレスに格納される1個のタイミングデータをN個(Nは自然数)に分割して入力するとともに、
20 当該N個に分割されたタイミングデータの一部又は全部を指定して出力させるようになっている。

ここで、データビット幅方向に分割して各分割データにアドレスを割り当てようとすると、必要となるアドレスビット数は下記の式で示すようになる。

アドレス数： $n = 2^x$

25 必要アドレスビット数： $x = \log_2 n$

本実施形態では、データビット幅方向にデータを2分割しているので、アドレス値を1ビット増加させることで対応できるようになる。このように、本実施形態におけるアドレス値のMSB(第6図に示す $\text{Adr} \langle x-1 \rangle$)は、タイミングデータが分割された場合に各データのアドレスを示す場合にだけ使用されるアド
30 レスビットとなる。

このようなデータ分割回路 70 によれば、必要となる最大アドレス数に応じたアドレスビット数を予め用意することで、2 分割以上の任意の分割数に対応することが可能となる。

具体的には、データ分割回路 70 は、MSB 側セクタ 70 a と LSB 側セクタ 70 b の 2 個のセクタを備えている。

MSB 側セクタ 70 a は、モード信号の切替により、指定された TMM 10 の 1 個のアドレス値の MSB が “H” (“1”) のときに、当該アドレスの MSB 側のメモリ 10 a を書き込みイネーブルにする。

LSB 側セクタ 70 b は、アドレス値の MSB が “L” (“0”) のときに、当該 LSB 側のメモリ 10 b を書き込みイネーブルにする。

また、データ分割回路 70 は、セクタ 71 を備えている。

このセクタ 71 は、モード信号の切替により、TMM 10 に書き込まれる所定のビット幅のタイミングデータ（第 6 図では $b_{m-1} \sim b_0$ の m ビット）のうち、MSB 側の半分のデータ（第 6 図では $b_{m-1} \sim b_{m/2}$ の $m/2$ ビット）又は LSB 側の半分のデータを（第 6 図では $b_{m/2-1} \sim b_0$ の $m/2$ ビット）を TMM 10 の MSB 側のメモリ 10 a に書き込むようになっている。

まず、2 個のセクタ 70 a, 70 b は、モード信号が “L” (“0”) のときは、指定されたアドレス（第 6 図に示す $\text{Adr} \langle x-1 \dots 0 \rangle$ ）の MSB の値（第 6 図に示す $\text{Adr} \langle x-1 \rangle$ ）に拘わらず、両メモリ 10 a, 10 b の有効アドレスをイネーブルする。

また、セクタ 71 は、モード信号が “L” (“0”) のときは、1 個のタイミングデータの MSB 側半分のデータ（第 6 図では $b_{m-1} \sim b_{m/2}$ の $m/2$ ビット）を TMM 10 の MSB 側のメモリ 10 a に書き込む。このとき、LSB 側半分のデータ（第 6 図では $b_{m/2-1} \sim b_0$ の $m/2$ ビット）は、TMM 10 の LSB 側のメモリ 10 b に書き込まれる。

従って、モード信号 “L” (“0”) の場合には、TMM 10 は、通常のビット幅（第 6 図では m ビット）のデータ幅を持つ、通常のアドレス数（第 6 図では深さ $x-1$ ）を持つ TMM として機能する。なお、このモード “L” (“0”) の場合には、アドレス値の MSB（第 6 図では $\text{Adr} \langle x-1 \rangle$ ）は無視されて使用されないことになる。

一方、モード信号が“H”（“1”）のときは、2個のセクタ70a, 70bが、指定されたアドレス（第6図に示す $\text{Adr} \langle x-1 \dots 0 \rangle$ ）のMSBの値（第6図に示す $\text{Adr} \langle x-1 \rangle$ ）に応じてイネーブルする有効アドレスを切り替える。

- 5 まず、指定されたアドレスのMSBが“H”（“1”）のときは、MSB側セクタ70aを介して、TMM10の当該アドレスのMSB側メモリ10aが書き込みイネーブル（WE）となる。

一方、指定されたアドレス値のMSBが“L”（“0”）のときは、LSB側セクタ70bを介して、TMM10の当該アドレスのLSB側メモリ10b
10 が書き込みイネーブル（WE）となる。

そして、セクタ71は、モード信号が“H”（“1”）のときは、1個のタイミングデータのLSB側半分のデータ（第6図では $b_{m/2-1} \sim b_0$ の $m/2$ ビット）をTMM10のMSB側及びLSB側メモリ10a, 10bに書き込む。

- 15 従って、モード信号“H”（“1”）の場合には、TMM10は、通常の半分のビット幅（第6図では $m/2$ ビット）のデータ幅を持つ、通常の2倍のアドレス数（第6図では深さ $2x-2$ ）を持つTMMとして機能する。なお、このモード“H”（“1”）では、MSB側半分のデータ（第6図では $b_{m-1} \sim b_{m/2}$ の $m/2$ ビット）は無視されて使用されないことになる。

- 20 ロードデータ切替回路50は、切替により、TMM10から分割された複数のタイミングデータが出力されるときには当該複数のタイミングデータをカスケードした複数のダウンカウンタ20にロードするとともに、TMM10から分割された一のタイミングデータが出力されるときには当該一のタイミングデータをそのまの一のダウンカウンタ20にロードすることにより、分割された複数又は一
25 のタイミングデータで示される一のタイミングのパルス信号を出力させるようになっている。

具体的には、ロード切替回路50は、データ分割回路70に入力されるのと同じモード信号の切替により、N個（2個）に分割された各タイミングデータを対応するN個（2個）のダウンカウンタ20a \sim 20nにロードすることにより、
30 一アドレスにつきN個（2個）のタイミングデータで示されるタイミングのパル

ス信号を出力させるようになっている。

本実施形態では、第一実施形態の場合と同様に、TMM10から出力されるタイミングデータがセットされるmビットのダウンカウンタ20が任意のN相備えられており（ダウンカウンタ20a～20n）、ロード切替回路50は、この任意のN相のmビットダウンカウンタ20a～20nに、TMM10からの分割して出力されるタイミングデータ（第7図に示すDOUT MSBとDOUT LSB）のうち、MSB側（第7図に示すDOUT MSB）をダウンカウンタ20のデータ入力に接続する。

具体的には、MODEが立っていないとき、すなわちモード信号“L”（“0”）のときは、TMM10のタイミングデータの有効ビットは通常のビット幅（mビット）なので、ロード切替回路50はMSB側のタイミングデータ（第7図に示すDOUT MSB）をダウンカウンタ20a～20nにセットする。このとき、LSB側のタイミングデータ（第7図に示すDOUT LSB）はそのままダウンカウンタ20a～20nにセットされる。これにより、ダウンカウンタ20a～20nではmビットのタイミングデータで示されるタイミングがダウンカウントされることになる。

一方、MODEが立っているとき、すなわちモード信号“H”（“1”）のときは、タイミングデータの有効ビットは半分（ $m/2$ ビット）となるので、ロード切替回路50のセレクト入力“L”レベルにする。これにより、ダウンカウンタ20にセットされるデータはLSB側のタイミングデータ（第7図に示すDOUT LSB）だけになり、有効ビット数は $m/2$ となり、 $m/2$ ビットのタイミングデータで示されるタイミングがダウンカウントされることになる。

ダウンカウンタ20a～20nの次段には、第一実施形態と同様のORゲート23が備えられ、さらに次段には図示しないタイミングデータ選択回路60が備えられる。これらは第一実施形態と同様に動作するものであり、詳細な説明は省略する。

なお、本実施形態では、第7図に示すように、mビットダウンカウンタはモード信号の切替に拘わらず接続構成は不変となっているが、これを、第一実施形態で示したカスケードに接続切替可能な構成とすることも勿論可能である。

その場合には、モード信号“H”（“1”）のときに有効データビット数が

$m/2$ となるように、 $m/2$ ビットのダウンカウンタ $20a \sim 20n$ で第3図で示した構成となるように予めカウンタを組んでおく。これにより、 $MODE=0$ では（第3図と同様に） $m/2$ ビットのダウンカウンタ $20a \sim 20n$ を2つカスケード接続となるようにセレクタを組み（第3図のセレクタ $50a \sim 50c$ 参照）、 N 相 m ビットダウンカウンタとし、 $MODE=1$ では $2N$ 相 $m/2$ ビットダウンカウンタとして動作させることができる。

このようなカウンタ構成にすると、 $MODE=1$ のときはテストレートに対してその $2N$ 倍のタイミングエッジ出力を可能にできる利点がある。

10 以上のような構成からなる本実施形態のタイミング発生回路によれば、TMM 10 のメモリ領域をデータのビット幅方向に分割することができ、一のタイミングデータから複数のタイミングデータを出力させることができる。

そして、この複数のタイミングデータの中から一のタイミングデータを選択することにより、タイミングデータの遅延量は少なくなるが、TS 数を増加することができる。例えばアドレス深さが2倍のデータセット数のタイミングデータを出力させることができる。

これにより、TMM 10 の回路構成を変えることなく、タイミングセット数を増加させることができ、各ICテストに最適なタイミングセット数を備えたタイミング発生回路を低コストで容易に得ることができる。

20

以上、本発明のタイミング発生回路について、好ましい実施形態を示して説明したが、本発明に係るタイミング発生回路は、上述した実施形態にのみ限定されるものではなく、本発明の範囲で種々の変更実施が可能であることは言うまでもない。

25 例えば、上述した第一及び第二実施形態では、TMMのメモリ領域を均等に2分割する例を示したが、メモリ領域の分割は均等でなくても良く、また、分割数も2分割には限られない。

第8図に示すように、TMM 10 のメモリ領域をデータビット幅方向に分割する場合に、分割するビット数を不均等にすることもできる。

30 第8図(a)では、 $Adr: 0 \sim Adr: n/2 - 1$ では $m-1$ ビットのタイミン

グデータ遅延が記憶可能で、 $\text{Adr} : n/2 \sim \text{Adr} : n-1$ では1ビット分のみの遅延が記憶できる。

同様に、第8図(b)の場合は、 $\text{Adr} : 0 \sim \text{Adr} : n/2-1$ では2ビットのタイミングデータ遅延が記憶可能で、 $\text{Adr} : n/2 \sim \text{Adr} : n-1$ では $m-2$ ビット分の遅延が記憶できる。

また、第9図に示すように、タイミングデータをビット幅方向で4分割することもでき、この場合には、タイミング遅延を示すビット数は $m/4$ となるが、アドレス数(TS数)は $4n$ となる。この場合、アドレスビット数として2ビット増加させれば良い。

10 このように、本発明のTMMは、設定可能なタイミング遅延の最大値とTS数を任意に異ならせることができる。従って、1ビットずつ切替を可能にすれば、 $n \times m$ の総ビット数で構成される面積が一定ならば、仮想したメモリの形は自由に設定、変更できるようになる。

当然のことであるが、上述した第一及び第二実施形態を組み合わせることで、
15 アドレス方向とデータビット幅方向の双方向でのメモリ領域の分割を共存させることも可能であり、この場合にも、2ビットのモード信号により切替可能となる。例えば、以下のようにモード信号を設定することができる。

- ①モード信号00：通常モード（従来と同様）
- ②モード信号01：データ遅延増加モード（第一実施形態）
- 20 ③モード信号10：TS数増加モード（第二実施形態）

産業上の利用可能性

以上説明したように、本発明のタイミング発生回路によれば、タイミングデータを格納したタイミングメモリの構成を変えることなく、最大遅延量を大きくしたり、タイミングセット数を増加させることができる。

25 これにより、一種類のハードウェア構成により複数種類のTGを実現することができ、ローコストなデバイス測定が可能となるタイミング発生回路と半導体試験装置を提供することができる。

請 求 の 範 囲

1. 所定のタイミングデータを格納したタイミングメモリと、

前記タイミングメモリから出力されるタイミングデータをロードし、当該タイ
5 ミングデータが示すタイミングでパルス信号を出力するカウンタと、を備えたタイ
ミング発生回路であって、

前記タイミングメモリのメモリ領域を分割し、分割されたメモリ領域から出力
される一又は複数のタイミングデータを選択し、選択された一又は複数のタイミ
ングデータを前記カウンタにロードすることにより当該一又は複数のタイミング
10 データで示される一のタイミングのパルス信号を出力させるロードデータ切替手
段を備えることを特徴とするタイミング発生回路。

2. 前記ロードデータ切替手段が、

切替により、前記タイミングメモリのメモリ領域をアドレス方向で分割し、分
15 割されたメモリ領域から出力される複数の各タイミングデータをデータビット幅
方向につなげて一のタイミングデータとして前記カウンタにロードする請求の範
囲第1項記載のタイミング発生回路。

3. 前記ロードデータ切替手段が、

20 切替により、前記タイミングメモリの一又は複数のアドレスを指定し、該当す
る一又は複数の各アドレスに格納された一又は複数のタイミングデータを出力さ
せるアドレス選択回路と、

切替により、前記タイミングメモリから一のタイミングデータが出力されると
ときには当該一のタイミングデータをそのままのカウンタにロードするとともに、
25 前記タイミングメモリから複数のタイミングデータが出力されるときには当該複
数のタイミングデータをカスケードした複数のカウンタにロードすることにより、
前記一又は複数のタイミングデータで示される一のタイミングのパルス信号を出
力させるロードデータ切替回路と、を備える請求の範囲第1項又は第2項記載の
タイミング発生回路。

4. 前記アドレス選択回路が、切替により、指定された1個のアドレスを分割することによりN個（Nは自然数）のアドレスを指定し、前記タイミングメモリからN個のタイミングデータを出力させ、

5 前記ロード切替回路が、切替により、前記N個のタイミングデータをカスケードしたN個のカウantaにロードすることにより、N個のタイミングデータで示される1個のタイミングのパルス信号を出力させる請求の範囲第3項記載のタイミング発生回路。

5. 前記ロードデータ切替手段が、

10 切替により、前記タイミングメモリのメモリ領域をデータビット幅方向で分割し、分割されたメモリ領域から出力される各タイミングデータのうちのタイミングデータを選択して前記カウantaにロードする請求の範囲第1項記載のタイミング発生回路。

15 6. 前記ロードデータ切替手段が、

指定された前記タイミングメモリの一のアドレスに格納されたタイミングデータを複数のタイミングデータに分割し、切替により、分割された複数のタイミングデータを出力させ、又は分割された複数のタイミングデータのうちのタイミングデータを出力させるデータ分割回路と、

20 切替により、前記タイミングメモリから分割された複数のタイミングデータが出力されるときには当該複数のタイミングデータをカスケードした複数のカウantaにロードするとともに、前記タイミングメモリから分割された一のタイミングデータが出力されるときには当該一のタイミングデータをそのまま一のカウantaにロードすることにより、前記分割された複数又は一のタイミングデータで示される一のタイミングのパルス信号を出力させるロードデータ切替回路と、を備える請求の範囲第1項又は第5項記載のタイミング発生回路。

7. 前記データ分割回路が、指定された1個のアドレスに格納される1個のタイミングデータをN個に分割して入力するとともに、当該N個に分割されたタイミングデータの全部又は一部を指定して出力させ、

前記ロード切替回路が、前記N個に分割された各タイミングデータを対応するN個のカウンタにロードすることにより、一アドレスにつきN個のタイミングデータで示されるタイミングのパルス信号を出力させる請求の範囲第6項記載のタイミング発生回路。

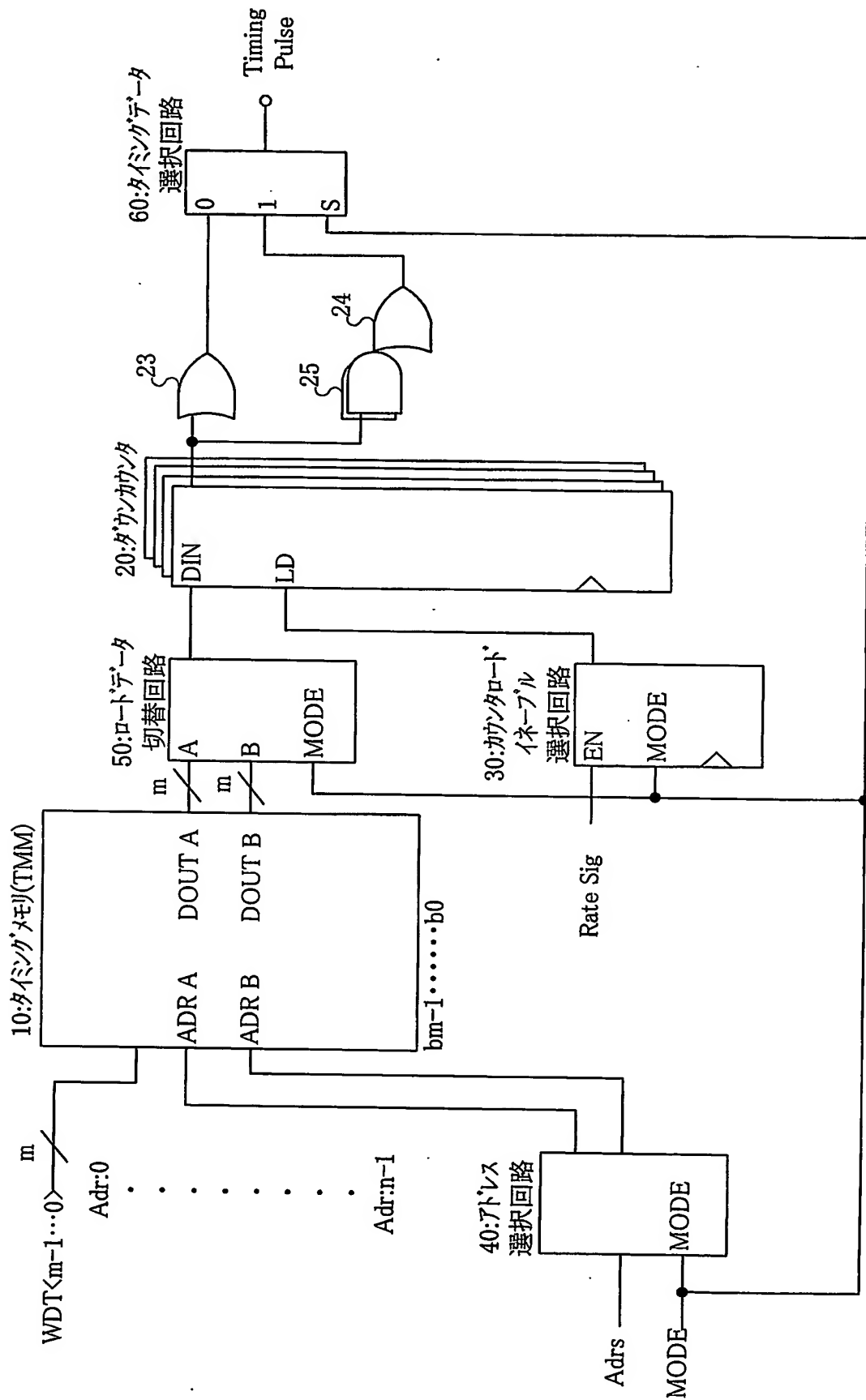
5

8. 試験対象となる被試験デバイスに所定の試験パターン信号を入力し、この被試験デバイスから出力される応答出力信号を所定の期待値パターン信号と比較することにより、当該被試験デバイスの良否を判定する半導体試験装置であって、

前記試験パターン信号の基準クロック信号を所定時間遅延させた遅延クロック
10 信号として出力するタイミング発生回路を備え、

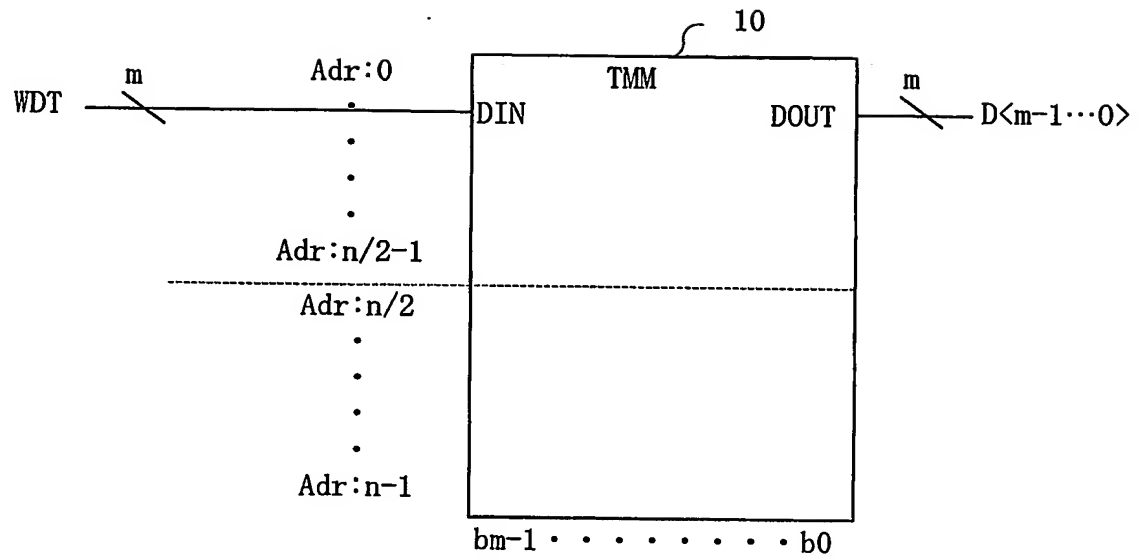
このタイミング発生回路が、請求の範囲第1項～第7項のいずれかに記載のタイミング発生回路であることを特徴とする半導体試験装置。

第1図

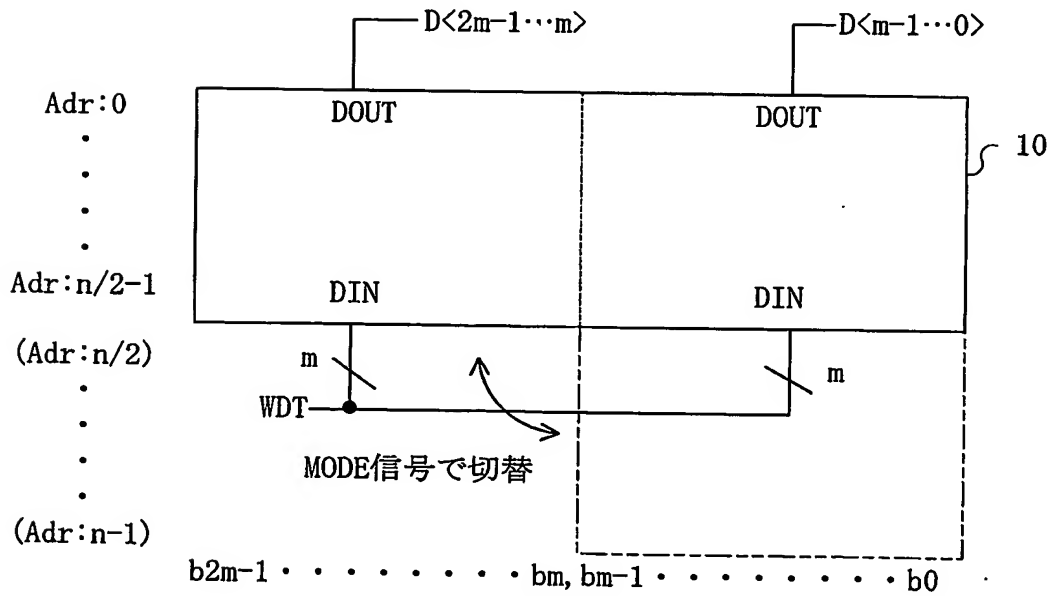


タイミング発生回路(タイミングエッジ生成部)

第2図



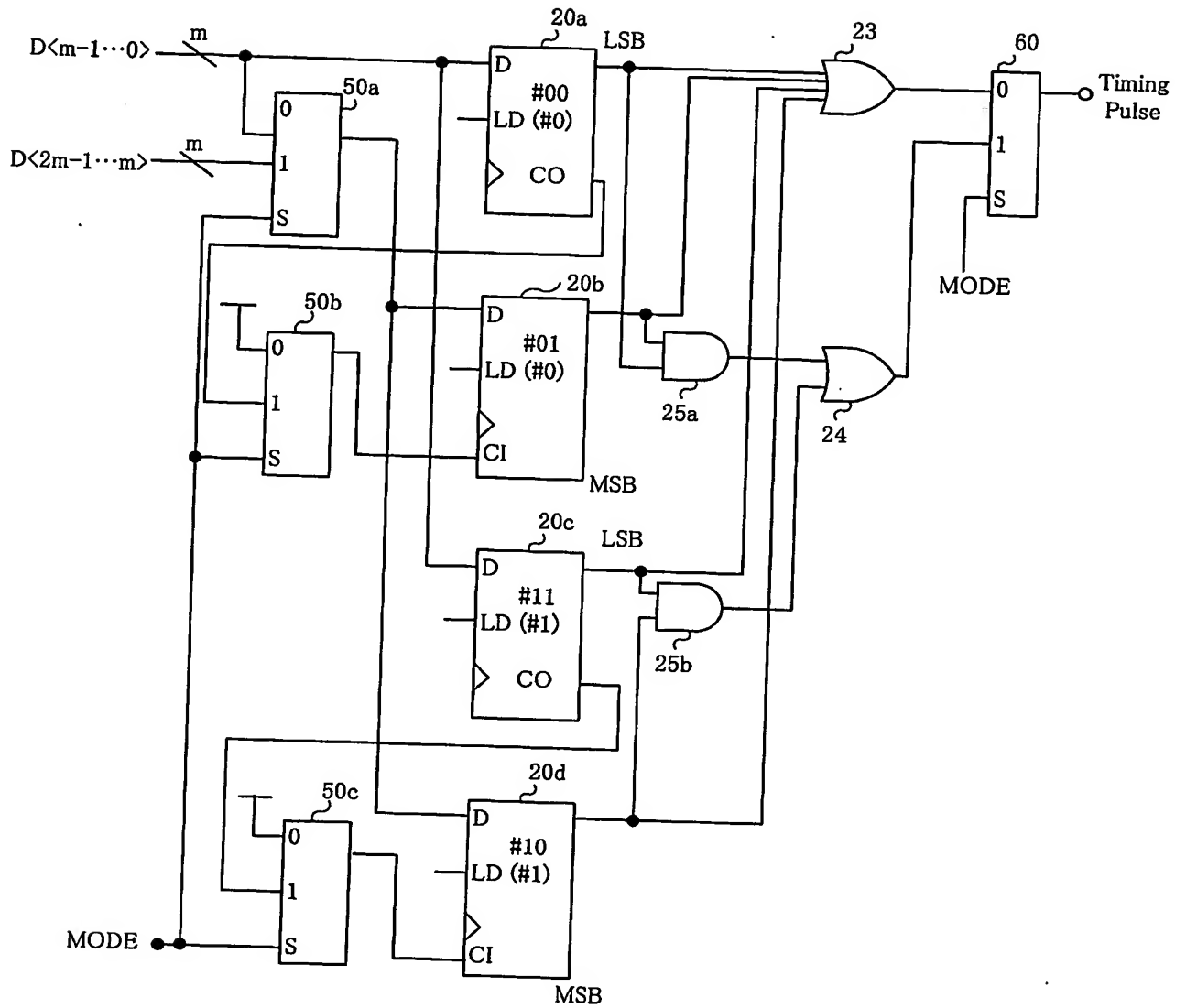
(a)



(b)

第3図

3/12

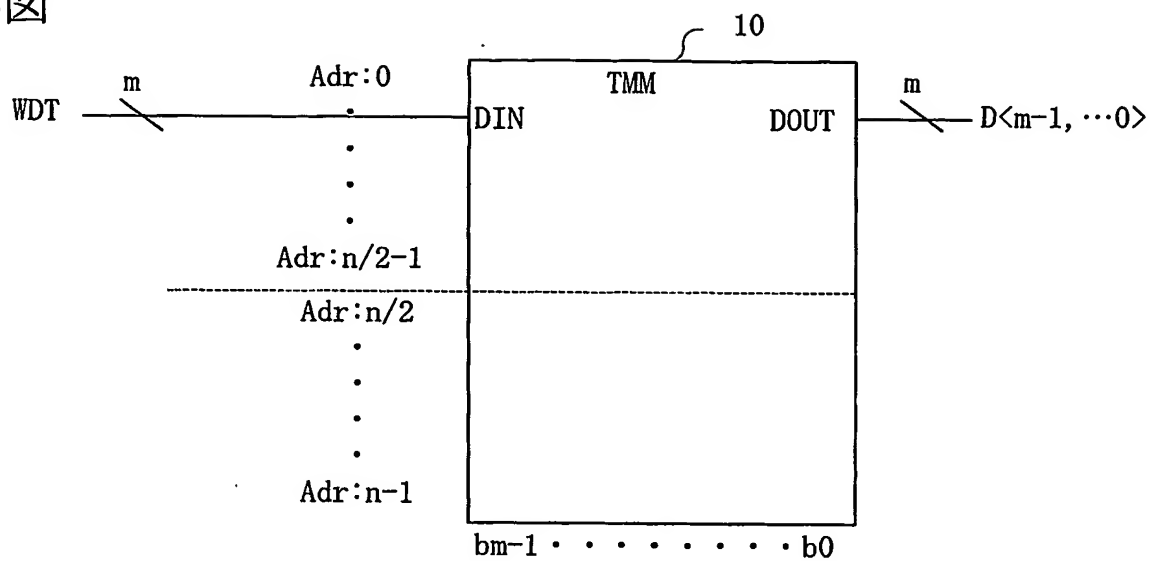


第4図

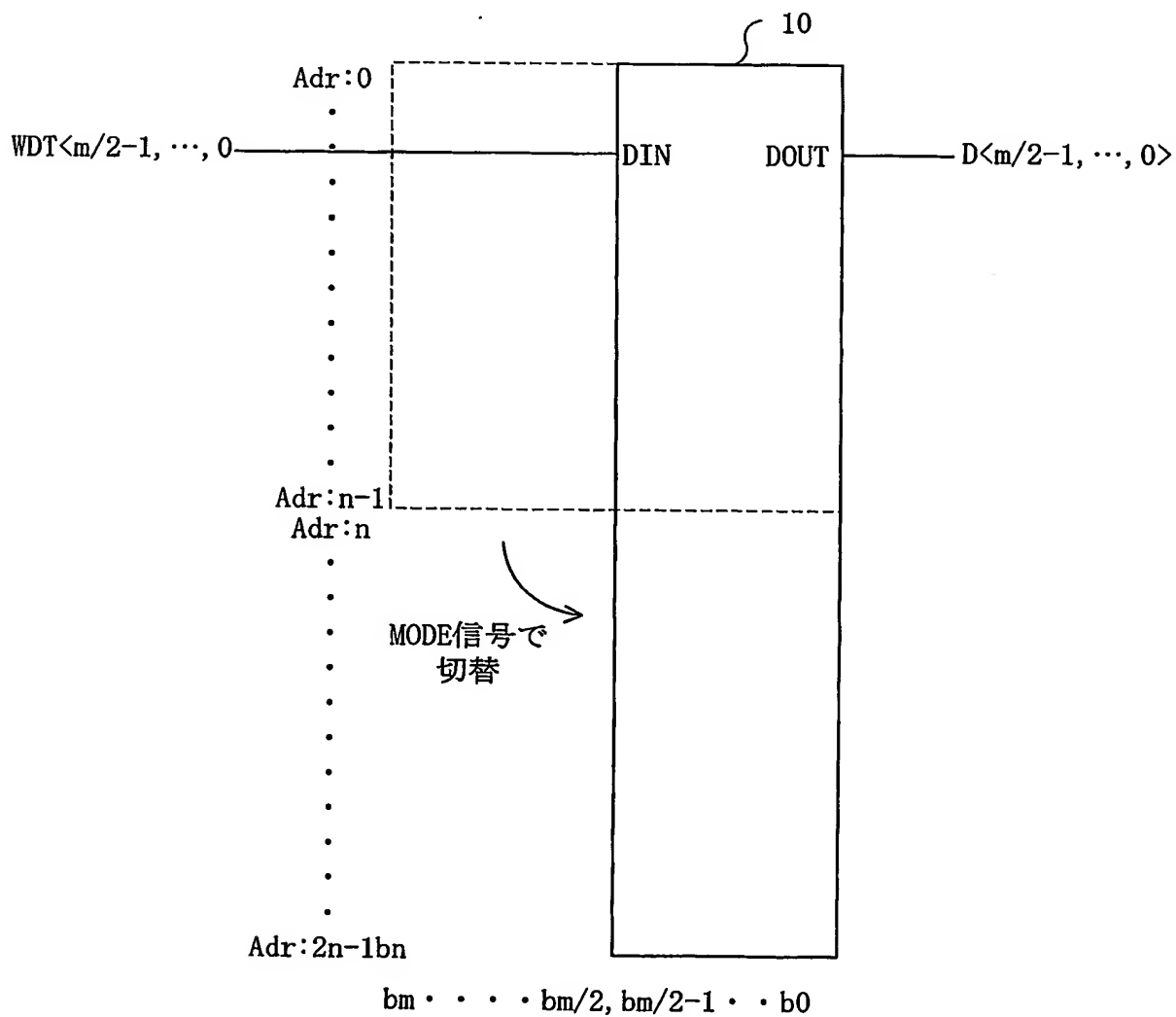
TMM				ダウンカウンタ		
	総フラッチ数	設定データbit幅	メモリ深さ(TS数)	相数	bit数/相	最大タイミング遅延
標準遅延TG (mode=0)	$n \times m$	m	n	4	m	$\text{SysCLK}(2^{m-1}), m-1 \cdots m$
長遅延TG (mode=1)	$n/2 \times 2m$	2m	n/2	2	2m	$\text{SysCLK}(2^{M-1}), 1 \leq M \leq 2m$

5/12

第5図



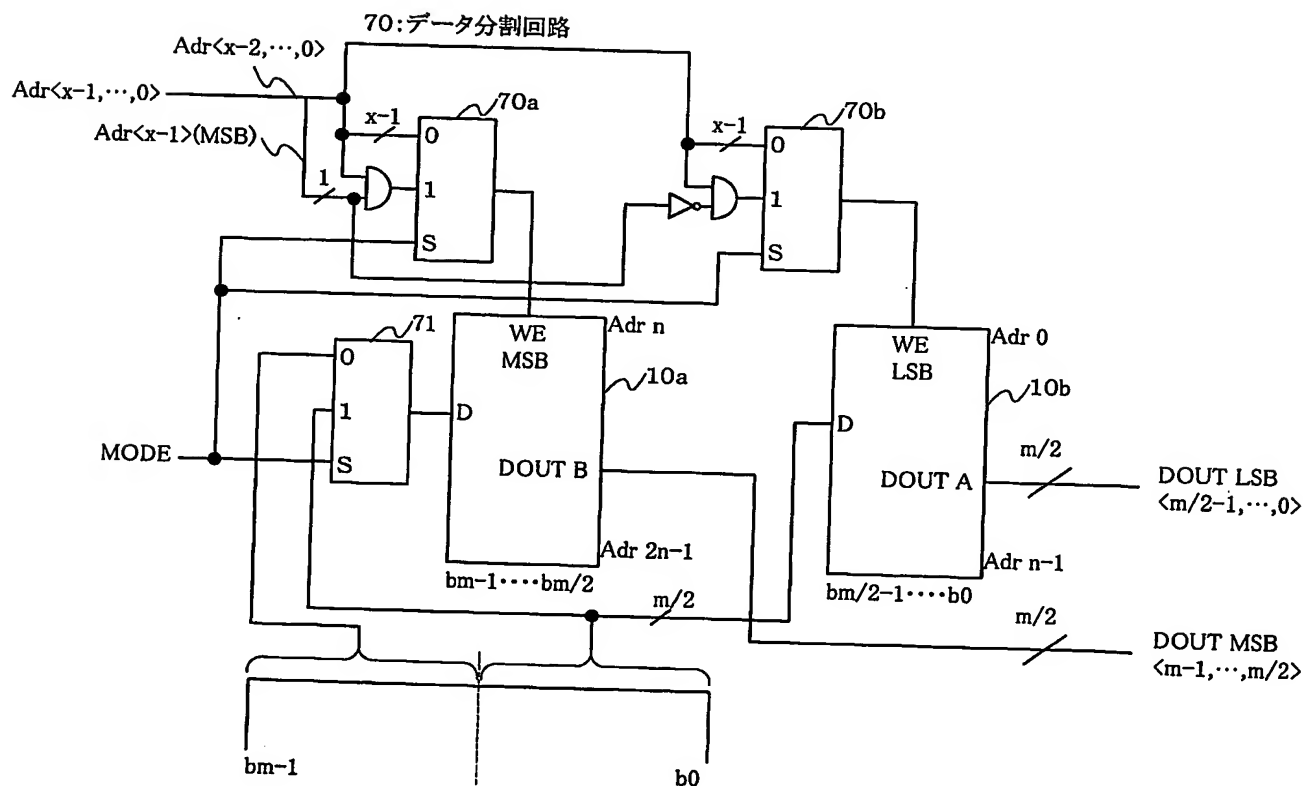
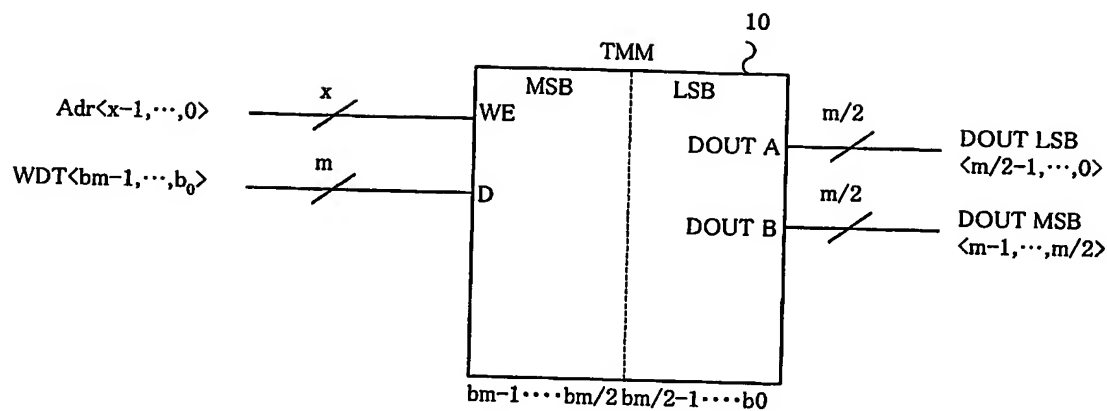
(a)



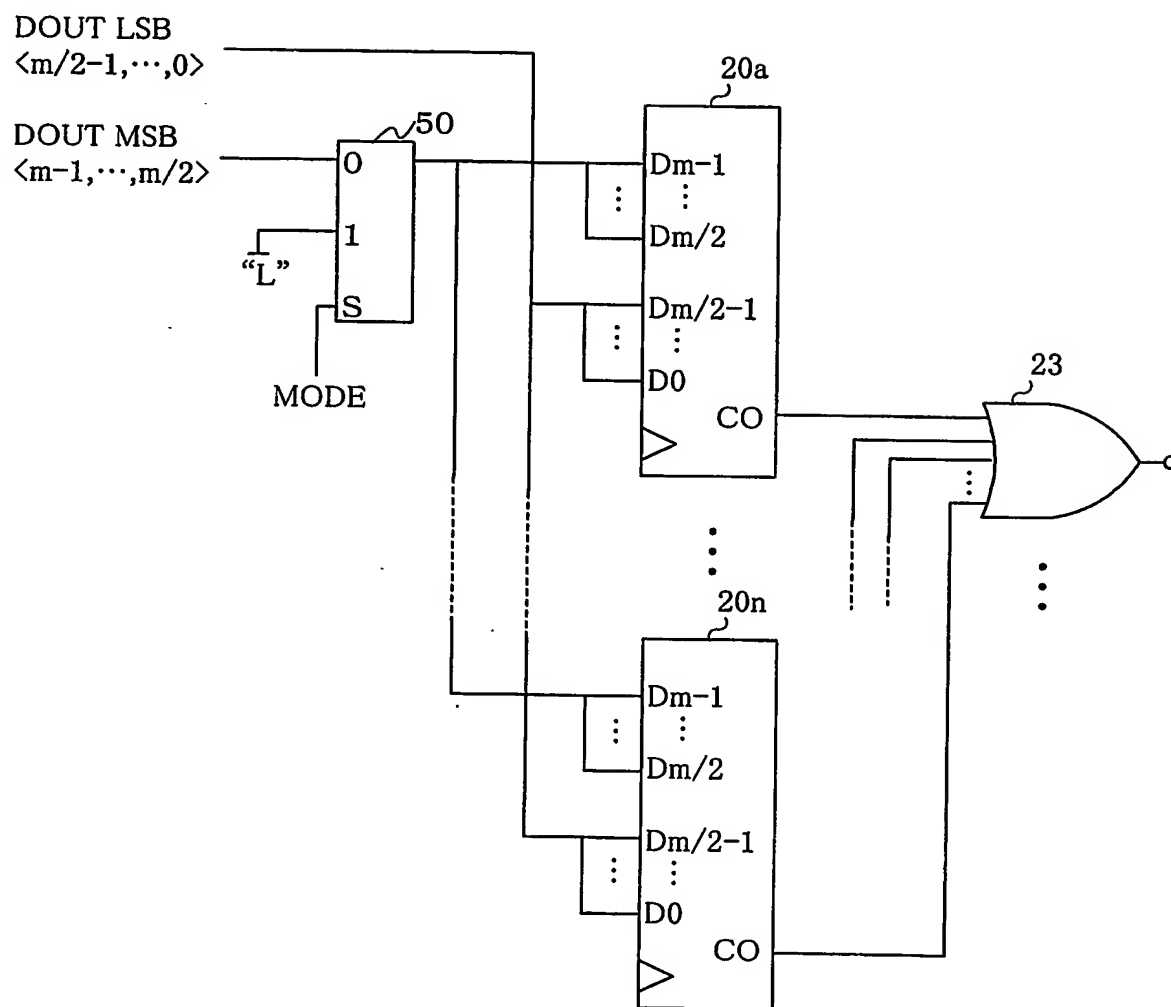
(b)

第6図

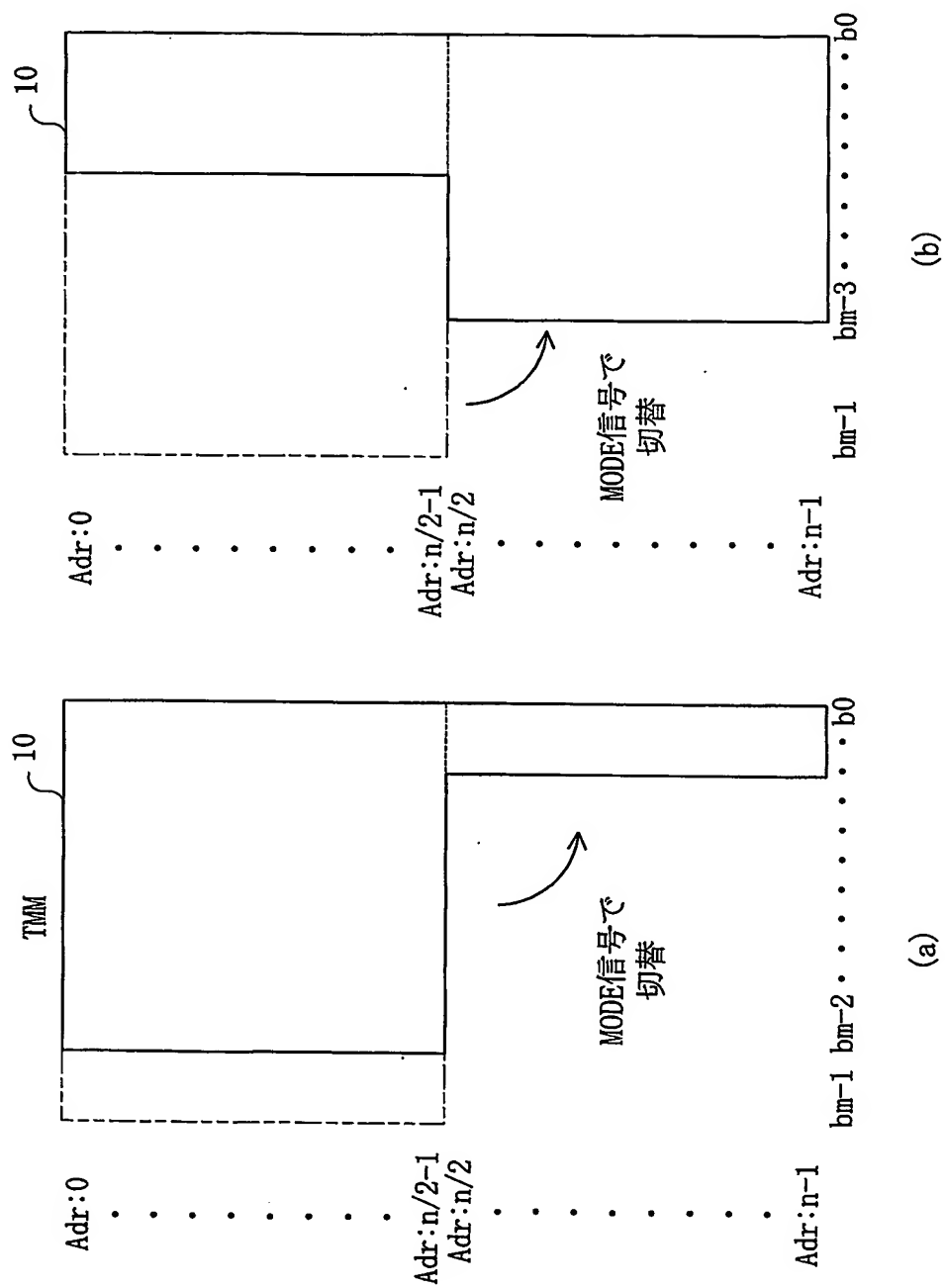
6/12



第7図

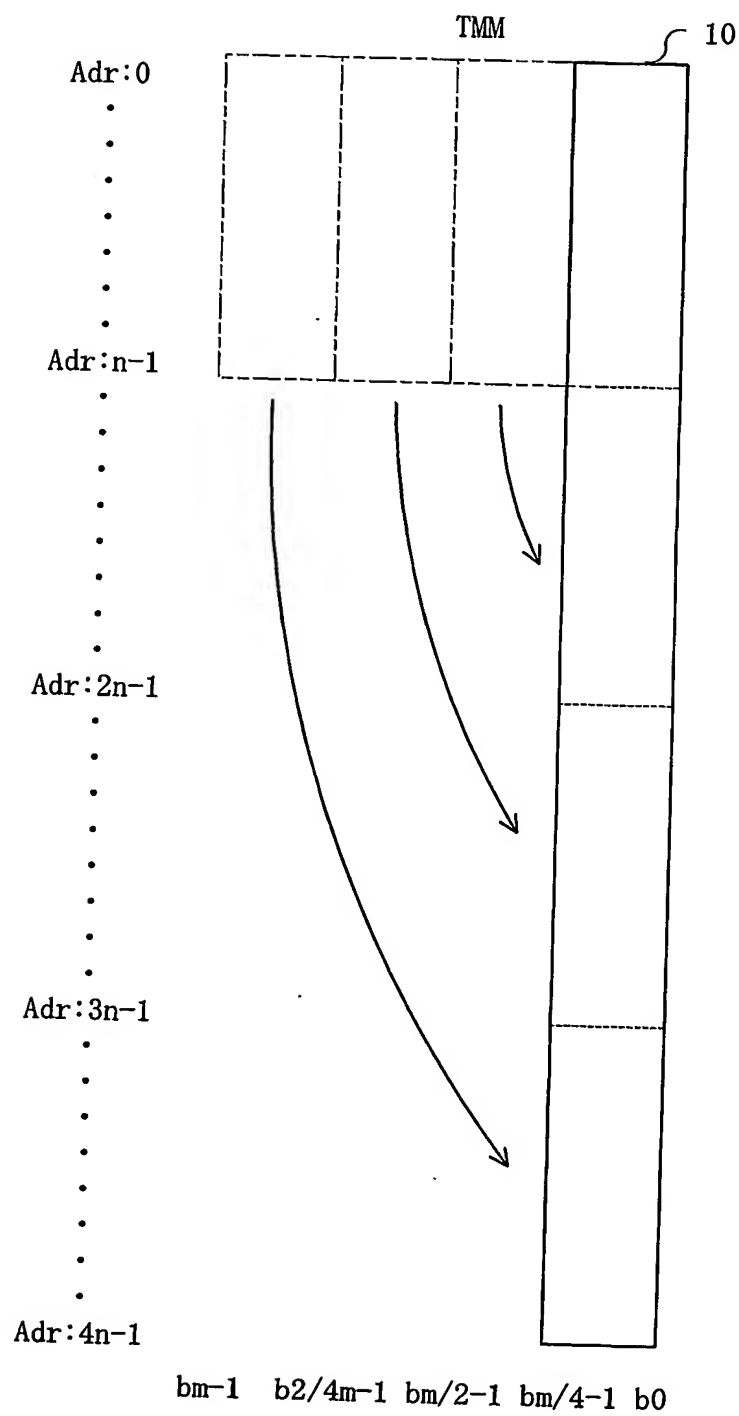


第8図

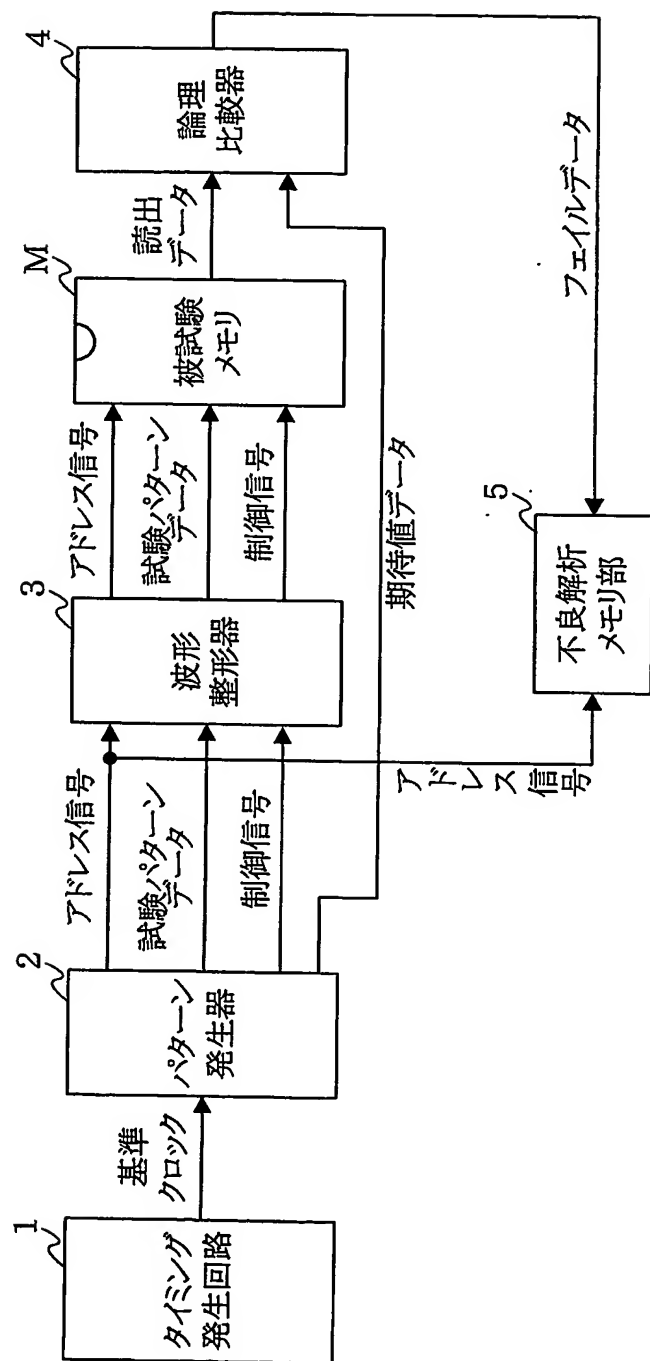


第9図

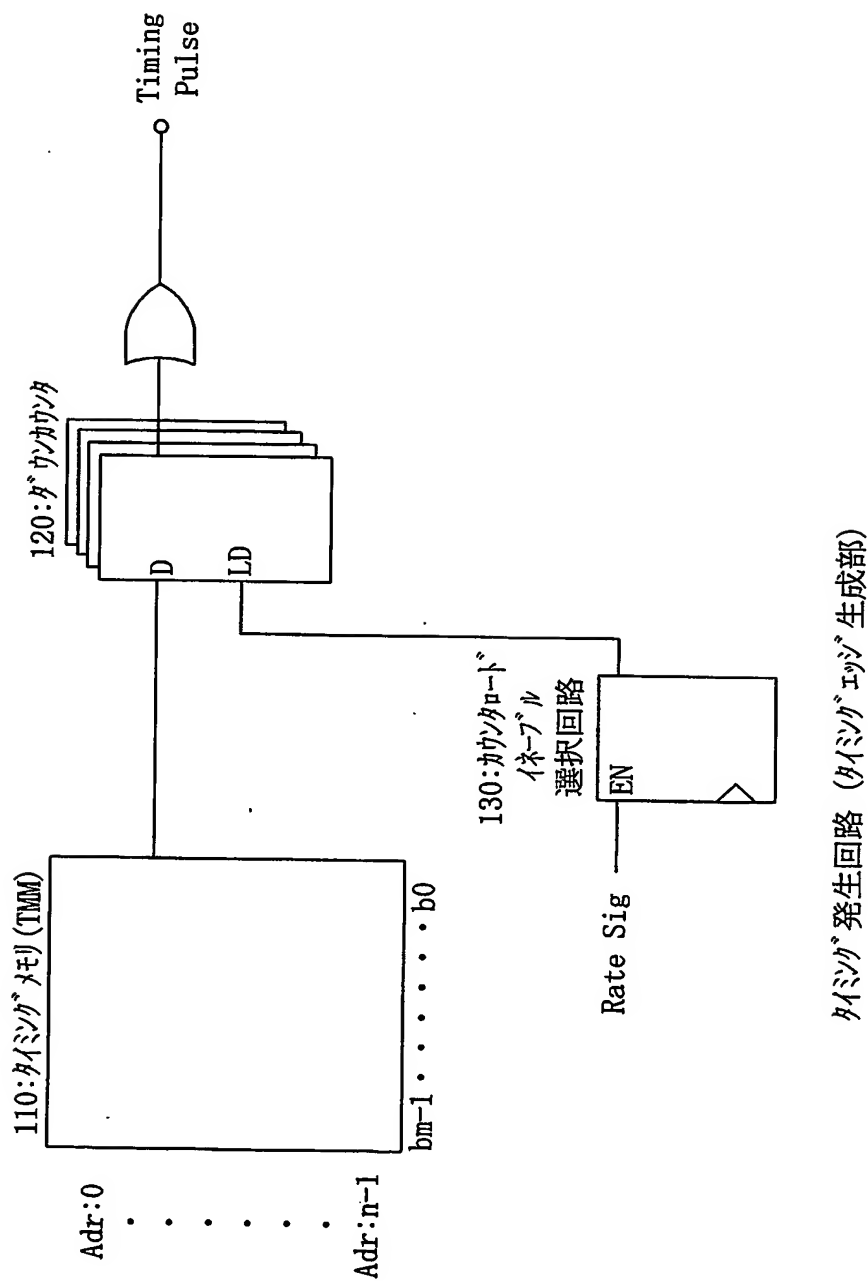
9/12



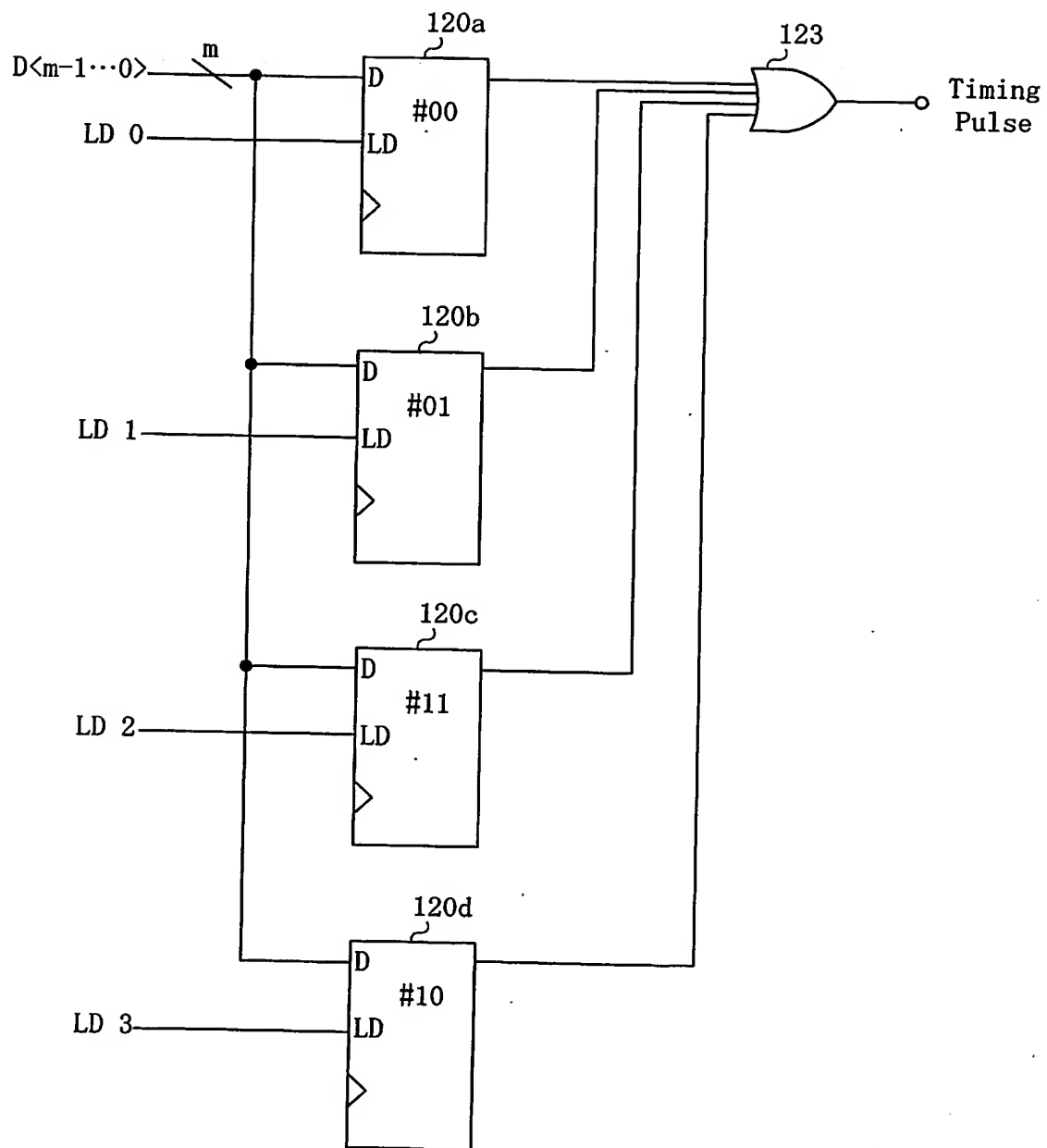
第10図



第11図



第12図



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/15920

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G01R31/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G01R31/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Toroku Jitsuyo Shinan Koho 1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-305800 A (Ando Electric Co., Ltd.), 02 November, 2000 (02.11.00), Full text; all drawings (Family: none)	1-8
Y	JP 10-319097 A (Advantest Corp.), 04 December, 1998 (04.12.98), Claim 2; Figs. 1, 5 (Family: none)	1-8
A	JP 2001-124835 A (Advantest Corp.), 11 May, 2001 (11.05.01), Full text; all drawings (Family: none)	1-8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
05 March, 2004 (05.03.04)

Date of mailing of the international search report
06 April, 2004 (06.04.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/15920

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>CD-ROM of the specification and drawings annexed to the request of Japanese Utility Model Application No. 61023/1993 (Laid-open No. 26787/1995) (Advantest Corp.), 19 May, 1995 (19.05.95), Full text; all drawings (Family: none)</p>	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ G01R 31/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ G01R 31/28

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国実用新案登録公報 1996-2003年
 日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-305800 A (安藤電気株式会社) 2000. 11. 02, 全文, 全図 (ファミリーなし)	1-8
Y	JP 10-319097 A (株式会社アドバンテスト) 1998. 12. 04, 請求項2, 第1図, 第5図 (ファミリーなし)	1-8
A	JP 2001-124835 A (株式会社アドバンテスト) 2001. 05. 11, 全文, 全図 (ファミリーなし)	1-8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に関する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

05. 03. 04

国際調査報告の発送日

06. 4. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
下中 義之

2S 8203

電話番号 03-3581-1101 内線 3256

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	<p>日本国実用登録出願 5-61023 号 (日本国実用新案登録出願 公開 7-26787 号) の願書に添付した明細書及び図面の内容を 記録した CD-ROM (株式会社アドバンテスト) 1995. 05. 19, 全文, 全図 (ファミリーなし)</p>	1-8